**Міністерство освіти і науки України**

**Національний університет «Запорізька політехніка»**

кафедра програмних засобів

**ЗВІТ**

з лабораторної роботи №6

з дисципліни "Верифікація цифрових систем"

на тему:

"Функціональне тестування для віддаленої лабораторії GOLDi"

Варіант №7

Виконав:

студент групи КНТ-227 Ю. Є. Горіченко

Прийняв:

к.т.н., доцент Т. І. Каплієнко

2019

**Тема:** функціональне тестування для віддаленої лабораторії GOLDi.

**Мета:** ознайомитися з повним процесом створення та тестування програми для «Digital Demo Board» на мові VHDL за допомогою віддаленої лабораторії GOLDi та програми Quartus II Web Edition.

**Виконання роботи**

**Завдання 1**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test1 відповідно до завдання: змінити номер функціонального перемикача і кількість світлодіодів, що світяться, відповідно до номеру варіанту.

Тест-кейс «test1»:

Унікальний ідентифікатор варіанти тестування – test1.

Короткий опис варіанта тестування – передостанній перемикач sw[6] буде вмикати / вимикати передостанній світлодіод ld[6].

Порядок виконання – ввімкнути плату, ввімкнути правий перемикач.

Вимоги – тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності – при включеному сьомому перемикачі світиться сьомий світлодіод, при вимкненому – не світиться.

Категорія тесту – тестування системних компонент плати.

Автор – Горіченко Ю. Є.

Автоматизований – так.

|  |  |
| --- | --- |
| Код програми (VHDL): |  |
| LIBRARY IEEE;  USE IEEE.STD\_LOGIC\_1164.ALL;  USE IEEE.STD\_LOGIC\_ARITH.ALL;  USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;  ENTITY test IS  PORT (  pSW : IN std\_logic\_vector (7 DOWNTO 0);  pLED : OUT std\_logic\_vector(7 DOWNTO 0);  pLED1 : OUT std\_logic\_vector(7 DOWNTO 0)  );  END test;  ARCHITECTURE test1 OF test IS  BEGIN  pLED1(4) <= TRANSPORT pSW(6);  pLED1(5) <= TRANSPORT pSW(6);  END ARCHITECTURE; | |

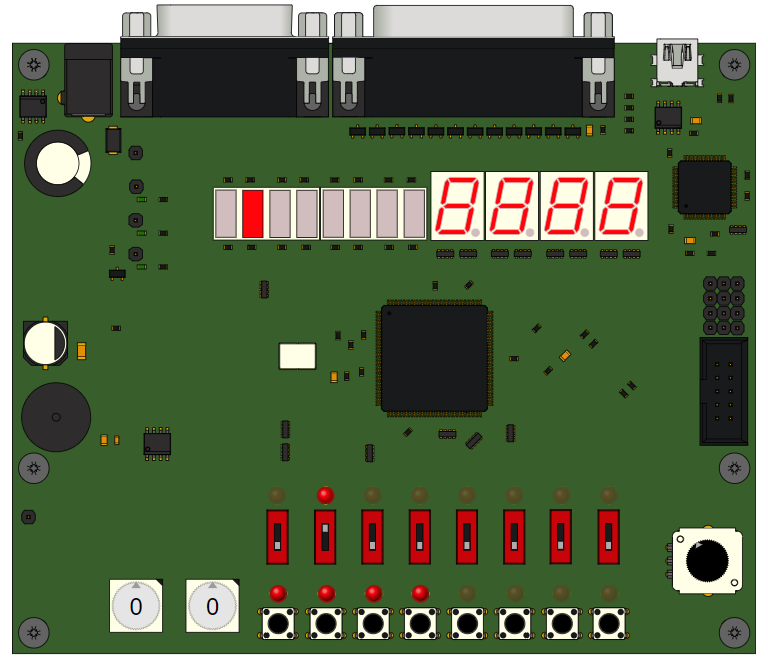
****

Рисунок 1.1 – Результат роботи тест-кейсу №1

**Завдання 2**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test2 відповідно до завдання: змінити вхідні і вихідні параметри відповідно до таблиці 1.1.

Таблиця 1.1 – Таблиця вхідних і вихідних параметрів

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№ варіанту** | **Вхідні параметри (перемикачі)** | | | | | | | | **Вихідні параметри (світлодіоди)** | | | | | | | |
| **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| **7** | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |

Тест-кейс «test2**»**:

Унікальний ідентифікатор варіанти тестування – test2.

Короткий опис варіанта тестування – значення важелів sw[0] та sw[7] (0=FALSE або 1=TRUE) подаються в якості значень вхідних параметрів модуля basic\_boolean a і b, а світлодіоди ld[0] ... ld[7] будуть показувати значення результатів роботи модуля basic\_boolean not\_a, not\_b, a\_and\_b, a\_or\_b, a\_nand\_b (0 = FALSE = викл або 1 = TRUE = вкл).

Порядок виконання – включити плату, поперемінно включати і вимикати в різних комбінаціях два правих перемикача.

Вимоги – тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності – при включених перемикачах sw[0] і sw[7] світиться перший, третій, четвертий і шостий світлодіод; при вимкнених перемикачах sw[0] і sw[7] усі світлодіоди вимкнені.

Категорія тесту – тестування системних компонент плати, логічні операції.

Автор – Горіченко Ю. Є.

Автоматизований – так.

|  |  |
| --- | --- |
| Код програми (VHDL): |  |
| LIBRARY IEEE;  USE IEEE.STD\_LOGIC\_1164.ALL;  USE IEEE.STD\_LOGIC\_ARITH.ALL;  USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;  ENTITY test IS  PORT (  pSW : IN std\_logic\_vector (7 DOWNTO 0);  pLED : OUT std\_logic\_vector(7 DOWNTO 0);  pLED1 : OUT std\_logic\_vector(7 DOWNTO 0)  );  END test;  ARCHITECTURE test2 OF test IS  BEGIN  PROCESS (pSW)  BEGIN  CASE pSW IS  WHEN "10000001" =>  pLED <= "11110011";  pLED1 <= "00110000";  WHEN OTHERS =>  pLED1 <= "00000000";  pLED <= "00000000";  END CASE;  END PROCESS;  END ARCHITECTURE; | |

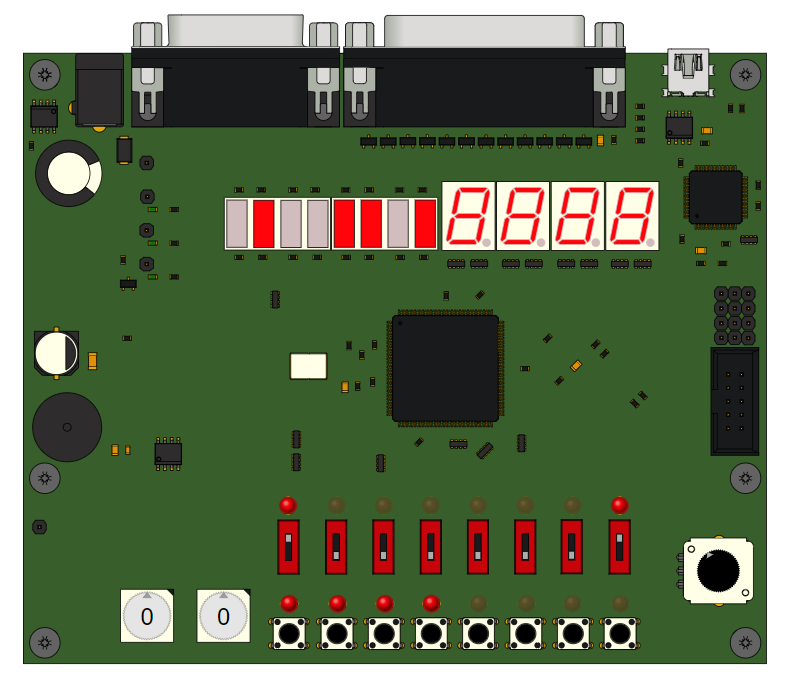
****

Рисунок 1.2 – Результат роботи тест-кейсу №2

**Завдання 3**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test3 відповідно до завдання: змінити першу виведену цифру на номер варіанту, другу - на число, що дорівнює номеру варіанту плюс 1.

Тест-кейс «test3**»**:

Унікальний ідентифікатор варіанти тестування – test3.

Короткий опис варіанта тестування – при включеному стані самого правого перемикача sw[0] буде світитися другий і четвертий цифровий дисплей з цифрою «8», при вимкненому – буде світитися перший і третій цифровий дисплей з цифрою «7».

Порядок виконання – включити плату, включити правий перемикач.

Вимоги – тест завантажений на плату, плата підключена до комп'ютера.

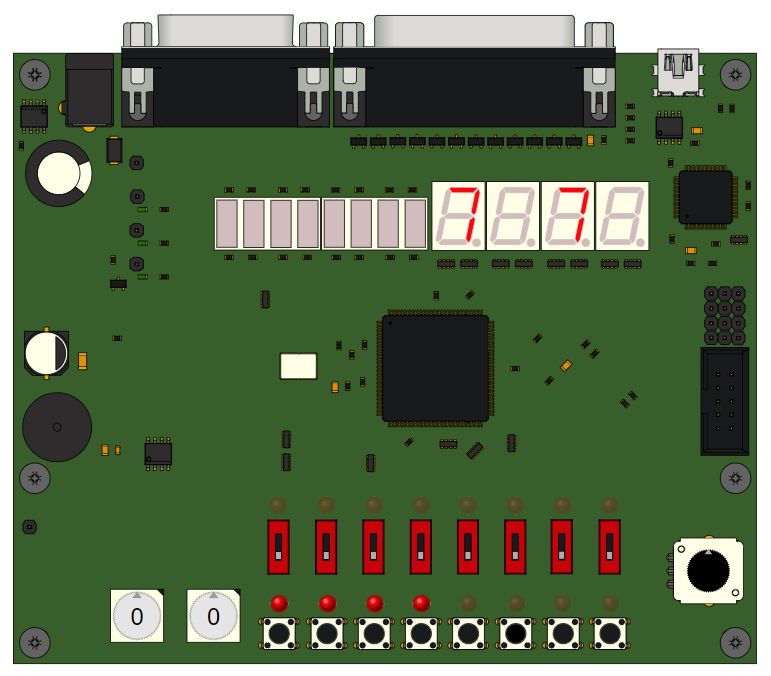
Критерій завершеності – при включеному стані самого правого перемикача sw[0] світиться другий і четвертий цифровий дисплей з цифрою «8», при вимкненому – перший і третій цифровий дисплей з цифрою «7».

Категорія тесту – тестування системних компонент плати.

Автор – Горіченко Ю. Є.

Автоматизований – так.

|  |  |
| --- | --- |
| Код програми (VHDL): |  |
| LIBRARY IEEE;  USE IEEE.STD\_LOGIC\_1164.ALL;  USE IEEE.STD\_LOGIC\_ARITH.ALL;  USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;  ENTITY test IS  PORT (  pSW : IN std\_logic\_vector (7 DOWNTO 0);  pHex0 : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);  pHex1 : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);  pHex2 : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);  pHex3 : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0)  );  END test;  ARCHITECTURE test3 OF test IS  BEGIN  PROCESS (pSW) IS  BEGIN  IF (pSW(0) = '1') THEN  pHex0 <= "10000000";  pHex1 <= "11111111";  pHex2 <= "10000000";  pHex3 <= "11111111";  ELSE  pHex0 <= "11111111";  pHex1 <= "11111000";  pHex2 <= "11111111";  pHex3 <= "11111000";  END IF;  END PROCESS;  END ARCHITECTURE; | |

****

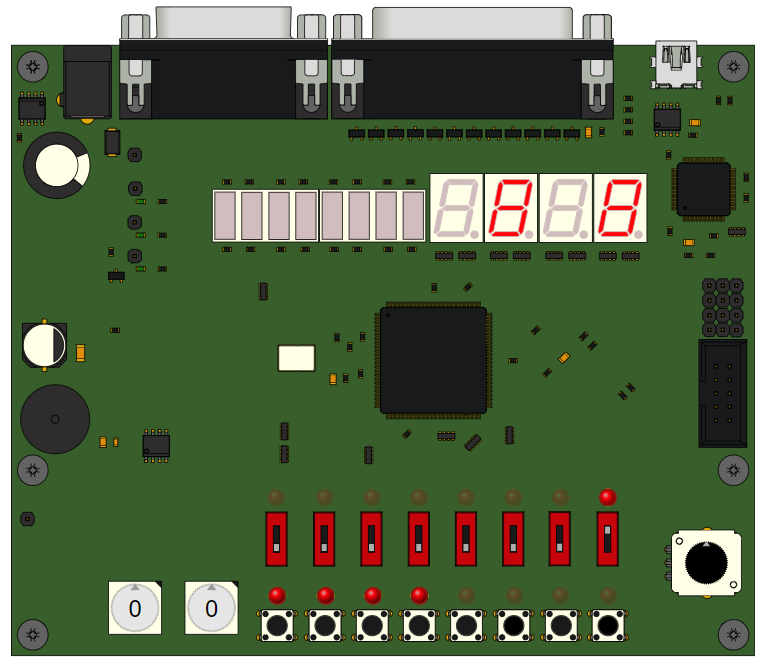
****

Рисунок 1.3 – Результат роботи тест-кейсу №3

**Завдання 4**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test4 відповідно до завдання: змінити номер миготливого світлодіода відповідно до варіанта, і частоту миготіння на 1 / варіант сек.

Тест-кейс «test4**»**:

Унікальний ідентифікатор варіанти тестування – test4.

Короткий опис варіанта тестування – необхідно вмикати / вимикати передостанній світлодіод ld[6] з частотою 0,143 секунд.

Порядок виконання – включити плату.

Вимоги – тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності – при включенні плати передостанній світлодіод ld[6] загоряється з частотою 0,143 секунд.

Категорія тесту – тестування системних компонент плати.

Автор – Горіченко Ю. Є.

Автоматизований – так.

|  |  |
| --- | --- |
| Код програми (VHDL): |  |
| LIBRARY IEEE;  USE IEEE.STD\_LOGIC\_1164.ALL;  USE ieee.std\_logic\_arith.ALL;  USE ieee.std\_logic\_unsigned.ALL;  ENTITY test IS  PORT (  pSW : IN std\_logic\_vector(7 DOWNTO 0);  pLED : OUT std\_logic\_vector(7 DOWNTO 0);  pLED1 : OUT std\_logic\_vector(7 DOWNTO 0);  clock : IN std\_logic  );  END test;  ARCHITECTURE test4 OF test IS  SIGNAL delay : TIME := 0 ns;  SIGNAL state : std\_logic := '0';  BEGIN  PROCESS IS  BEGIN  WAIT UNTIL rising\_edge(clock);  delay <= delay + 40 ns; --cycle: 25 MHz (40 ns)    IF (delay > 143 ms) THEN  delay <= 0 ns;  state <= NOT state;  pLED1(4) <= state;  END IF;  END PROCESS;  END ARCHITECTURE; | |

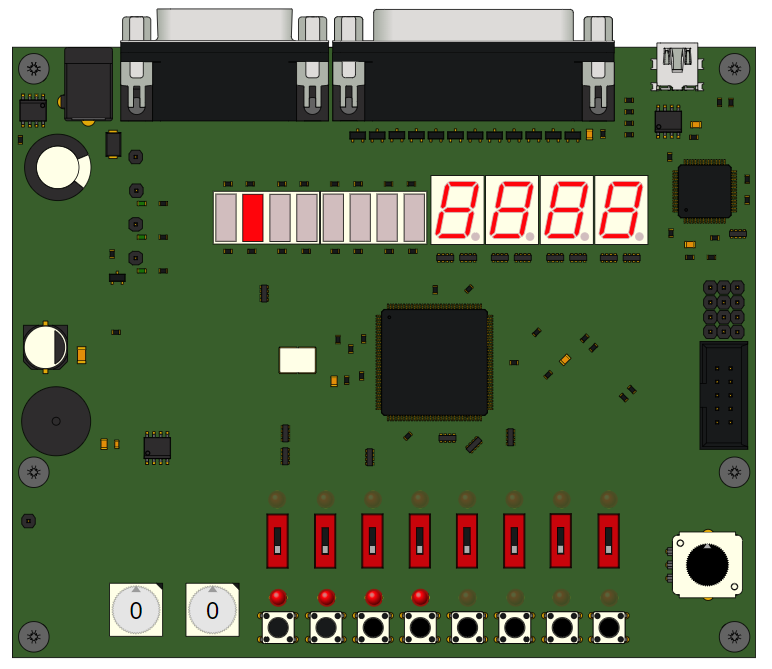
****

Рисунок 1.4 – Результат роботи тест-кейсу №4

**Завдання 5**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, (на ваш розсуд).

Тест-кейс «test5**»**:

Унікальний ідентифікатор варіанти тестування – test5.

Короткий опис варіанта тестування – необхідно розробити рухомий рядок, який у цифровому дисплеї виводить слово «HELLO».

Порядок виконання – включити плату.

Вимоги – тест завантажений на плату, плата підключена до комп'ютера.

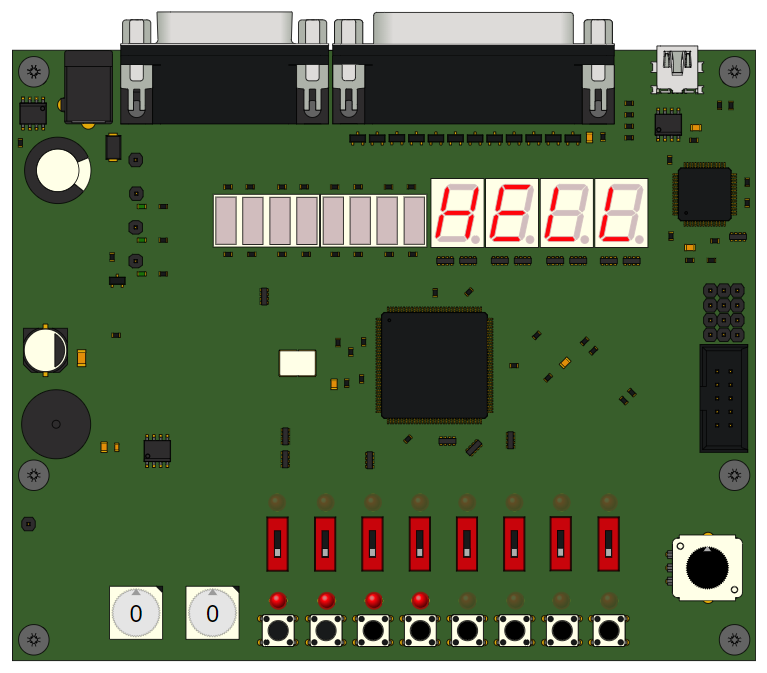
Критерій завершеності – при включенні плати на цифровому дисплеї починається відображатися слово «HELLO», яке рухається з права на ліво.

Категорія тесту – тестування системних компонент плати.

Автор – Горіченко Ю. Є.

Автоматизований – так.

|  |  |
| --- | --- |
| Код програми (VHDL): |  |
| LIBRARY IEEE;  USE IEEE.STD\_LOGIC\_1164.ALL;  USE IEEE.STD\_LOGIC\_ARITH.ALL;  USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;  ENTITY test IS  PORT (  pSW : IN std\_logic\_vector (7 DOWNTO 0);  pHex0 : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);  pHex1 : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);  pHex2 : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);  pHex3 : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);  clock : IN std\_logic  );  END test;  ARCHITECTURE test5 OF test IS  SIGNAL delay : TIME := 0 ns;  SIGNAL state : INTEGER := 0;    SIGNAL H : STD\_LOGIC\_VECTOR(7 DOWNTO 0) := "10001001";  SIGNAL E : STD\_LOGIC\_VECTOR(7 DOWNTO 0) := "10000110";  SIGNAL L : STD\_LOGIC\_VECTOR(7 DOWNTO 0) := "11000111";  SIGNAL O : STD\_LOGIC\_VECTOR(7 DOWNTO 0) := "11000000";  SIGNAL EMPTY : STD\_LOGIC\_VECTOR(7 DOWNTO 0) := "11111111";  BEGIN  PROCESS IS  BEGIN  WAIT UNTIL rising\_edge(clock);  delay <= delay + 40 ns; --cycle: 25 MHz (40 ns)  IF (delay > 500 ms) THEN  delay <= 0 ns;    state <= state + 1;    IF (state = 0) THEN  pHex0 <= H;  pHex1 <= EMPTY;  pHex2 <= EMPTY;  pHex3 <= EMPTY;  ELSIF (state = 1) THEN  pHex0 <= E;  pHex1 <= H;  pHex2 <= EMPTY;  pHex3 <= EMPTY;  ELSIF (state = 2) THEN  pHex0 <= L;  pHex1 <= E;  pHex2 <= H;  pHex3 <= EMPTY;  ELSIF (state = 3) THEN  pHex0 <= L;  pHex1 <= L;  pHex2 <= E;  pHex3 <= H;  ELSIF (state = 4) THEN  pHex0 <= O;  pHex1 <= L;  pHex2 <= L;  pHex3 <= E;  ELSIF (state = 5) THEN  pHex0 <= EMPTY;  pHex1 <= O;  pHex2 <= L;  pHex3 <= L;  ELSIF (state = 6) THEN  pHex0 <= EMPTY;  pHex1 <= EMPTY;  pHex2 <= O;  pHex3 <= L;  ELSIF (state = 7) THEN  pHex0 <= EMPTY;  pHex1 <= EMPTY;  pHex2 <= EMPTY;  pHex3 <= O;  ELSIF (state = 8) THEN  pHex0 <= EMPTY;  pHex1 <= EMPTY;  pHex2 <= EMPTY;  pHex3 <= EMPTY;  state <= 0;  END IF;    END IF;  END PROCESS;  END ARCHITECTURE; | |

****

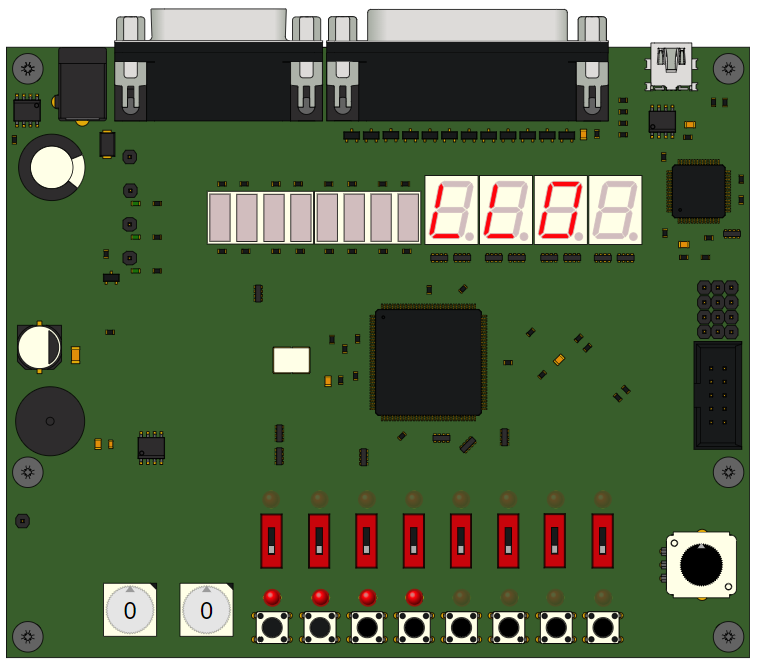
****

Рисунок 1.5 – Результат роботи тест-кейсу №5